

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11068086 A**(43) Date of publication of application: **09.03.99**

(51) Int. Cl.

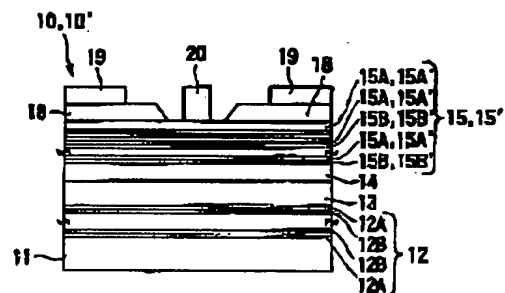
H01L 29/778**H01L 21/338****H01L 29/812**(21) Application number **09219554**(22) Date of filing: **14.08.97**(71) Applicant: **TOSHIBA CORP**(72) Inventor:
OCHI MASANORI
IMAMURA SOICHI
HOSOI SHIGEHIRO
UENO YUTAKA(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress lowering of transconductance upon occurrence of parallel conduction by employing an electron donating layer having superlattice structure and doping a second semiconductor layer having high electron affinity selectively with an n-type dopant.

SOLUTION: A buffer layer 12, a channel layer 13, a spacer layer 14, an electron supply layer 15 and a contact layer 18 are formed sequentially on the major surface of a semi-insulating substrate 11. The electron donating layer 15 has superlattice structure comprising an n-type GaAs layer 15A and an undoped AlGaAs layer 15B. Electrons discharge from the electron donating layer 15 are stored in the potential well of the channel layer 13 and constitute a two-dimensional electron gas. Since excess free electrons exist in the n-type GaAs layer 15A having high mobility in the electron donating layer 15, transconductance is not lowered as compared with the AlGaAs layer 15B even if parallel conduction takes place when the gate bias is shifted positively



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68086

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

H 0 1 L 29/778
21/338
29/812

識別記号

F I

H 0 1 L 29/80

H

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平9-219554

(22) 出願日 平成9年(1997) 8月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 越 智 雅 範

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72) 発明者 今 村 壮 一

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72) 発明者 細 井 重 広

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

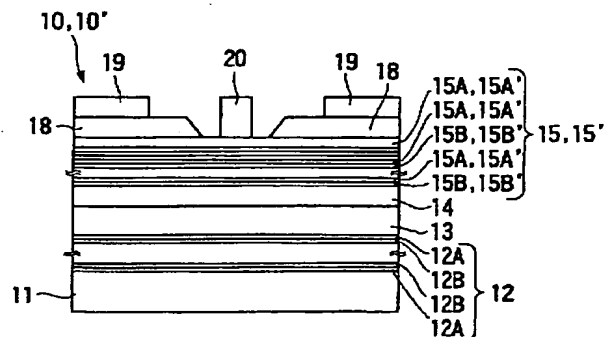
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 出力波形の歪みを抑制しつつ電流量を増加することができるパワー用高周波HEMTとしての半導体装置を提供することを目的とする。

【解決手段】 チャネル層上に設けられる電子供給層において、そのドーピング層をGaAs層のみに限定するか、あるいは、AlGaAs層に選択ドーピングしてもその上下に積層したGaAs層に電子がすべて流出してAlGaAs層が空乏化するような超格子構造とすることにより、パラレル・コンダクションが生じても、電子の移動が極端に低下しないようにすることができる。また、緩衝層を介して歪みを有するチャネル層を積層し、その両方に生ずる2次元電子ガスを利用することにより、電流量を倍増することができる。



【特許請求の範囲】

【請求項 1】半絶縁性の半導体基板と、
前記半導体基板の上に堆積されたチャンネル層と、
前記チャンネル層の上に堆積され、前記チャンネル層よりも小さい電子親和力を有する半導体により構成されたスペーサ層と、
前記スペーサ層の上に堆積された電子供給層と、を備え、
前記電子供給層から供給された電子が前記チャンネル層において 2 次元電子ガスを形成するようにした半導体装置であって、
前記電子供給層は、第 1 の半導体層と、前記第 1 の半導体層よりも大きい電子親和力を有する第 2 の半導体層とを周期的に積層してなる超格子を有し、
前記第 2 の半導体層は、 n 型のドーパントが選択的にドーピングされていることを特徴とする半導体装置。

【請求項 2】半絶縁性の半導体基板と、
前記半導体基板の上に堆積されたチャンネル層と、
前記チャンネル層の上に堆積され、前記チャンネル層よりも小さい電子親和力を有する半導体により構成されたスペーサ層と、
前記スペーサ層の上に堆積された電子供給層と、を備え、
前記電子供給層から供給された電子が前記チャンネル層において 2 次元電子ガスを形成するようにした半導体装置であって、
前記電子供給層は、第 1 の半導体層と、前記第 1 の半導体層よりも大きい電子親和力を有する第 2 の半導体層とを周期的に積層してなる超格子を有し、
前記第 1 の半導体層は、 n 型のドーパントが選択的にドーピングされ、かつ前記 n 型のドーパントにより生じた自由電子は、前記チャンネル層と前記第 2 の半導体層とに流出して、前記第 1 の半導体層は空乏化していることを特徴とする半導体装置。

【請求項 3】前記半導体基板は、GaAs からなり、
前記チャンネル層は、GaAs 基板上に成長した時に格子不整合に起因するミスフィット欠陥が実質的に生じない臨界膜厚以下の層厚を有する InGaAs 層からなり、
前記スペーサ層は、AlGaAs 層からなり、
前記電子供給層における前記第 1 の半導体層は、AlGaAs 層からなり、
前記電子供給層における前記第 2 の半導体層は、GaAs 層からなることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】半絶縁性の半導体基板と、
前記半導体基板の上に堆積された第 1 のチャンネル層と、
前記第 1 のチャンネル層の上に堆積された緩衝層と、
前記緩衝層の上に堆積された第 2 のチャンネル層と、
前記第 2 のチャンネル層の上に堆積され、前記チャンネル層よりも小さい電子親和力を有する半導体により構成され

たスペーサ層と、
前記スペーサ層の上に堆積された電子供給層と、を備え、
前記緩衝層および前記電子供給層のうちの少なくともいずれかから供給された電子が前記第 1 のチャンネル層および前記第 2 のチャンネル層において 2 次元電子ガスを形成するようにした半導体装置。

【請求項 5】半絶縁性の半導体基板と、
前記半導体基板の上に堆積された第 1 の電子供給層と、
前記第 1 の電子供給層の上に堆積された第 1 のスペーサ層と、
前記第 1 のスペーサ層の上に堆積された第 1 のチャンネル層と、
前記第 1 のチャンネル層の上に堆積された緩衝層と、
前記緩衝層の上に堆積された第 2 のチャンネル層と、
前記第 2 のチャンネル層の上に堆積され、前記チャンネル層よりも小さい電子親和力を有する半導体により構成された第 2 のスペーサ層と、
前記スペーサ層の上に堆積された第 2 の電子供給層と、を備え、
前記第 1 の電子供給層から供給された電子が前記第 1 のチャンネル層において 2 次元電子ガスを形成し、前記第 2 の電子供給層から供給された電子が前記第 2 のチャンネル層において 2 次元電子ガスを形成するようにした半導体装置。

【請求項 6】前記緩衝層は、前記チャンネル層よりも電子親和力が小さい n 型半導体により構成されていることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 7】前記緩衝層は、前記チャンネル層よりも電子親和力が小さい n 型半導体層と、前記チャンネル層を構成している半導体と同一の組成を有する半導体層とを周期的に積層してなる超格子を有することを特徴とする請求項 4 または 5 に記載の記載の半導体装置。

【請求項 8】前記半導体基板は、GaAs からなり、
前記チャンネル層は、それぞれ、GaAs 基板上に成長した時に格子不整合に起因するミスフィット欠陥が実質的に生じない臨界膜厚以下の層厚を有する InGaAs 層からなり、
前記スペーサ層は、AlGaAs 層からなり、
前記緩衝層における前記 n 型半導体は、GaAs 層からなることを特徴とする請求項 6 または 7 に記載の半導体装置。

【請求項 9】前記電子供給層は、第 1 の半導体層と、前記第 1 の半導体層よりも大きい電子親和力を有する第 2 の半導体層とを周期的に積層してなる超格子を有し、
前記第 2 の半導体層は、 n 型のドーパントが選択的にドーピングされていることを特徴とする請求項 4 ~ 8 のいずれか 1 つに記載の半導体装置。

【請求項 10】前記電子供給層は、第 1 の半導体層と、前記第 1 の半導体層よりも大きい電子親和力を有する第

2の半導体層とを周期的に積層してなる超格子を有し、前記第1の半導体層は、n型のドーパントが選択的にドーピングされ、かつ前記n型のドーパントにより生じた自由電子は、前記チャネル層と前記第2の半導体層とに流出して、前記第1の半導体層は空乏化していることを特徴とする請求項4～8のいずれか1つに記載の半導体装置。

【請求項11】前記電子供給層における前記第1の半導体層は、AlGaAs層からなり、前記電子供給層における前記第2の半導体層は、GaAs層からなることを特徴とする請求項9または10に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。より具体的には、本発明は、低歪みで高出力動作が可能な高周波増幅用トランジスタとしての半導体装置に関する。

【0002】

【従来の技術】マイクロ波やミリ波などの高周波帯における信号増幅素子に対しては、年々高性能化が要求されている。このような高周波信号増幅素子としては、ガリウム砒素(GaAs)などの化合物半導体を用いた高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)が現在の主流であり、高速コンピュータ、携帯電話、衛星通信システムや各種放送システムなどを実現するための基本デバイスとなっている。

【0003】図8は、従来のHEMTの断面構造を表す概略図である。すなわち、HEMT100は、ゲート電極128の両側にソース・ドレイン電極127、127が配置された電界効果型トランジスタの一種である。その半導体部分は、GaAs基板上に複数の半導体層が積層された構成を有する。すなわち、GaAs基板121上には、バッファ層122、チャネル層123、スペーサ層124、電子供給層125、およびコンタクト層126がこの順序に積層されている。

【0004】各層の材料としては、例えば、バッファ層122はアンドープGaAs層122AとアンドープAlGaAs層122Bとの超格子構造とすることができる。また、チャネル層123はアンドープInGaAs、スペーサ層124はアンドープAlGaAs、電子供給層125はn型AlGaAs、コンタクト層126はn型GaAsとすることができる。コンタクト層126は、その中央付近でリセス・エッチングされ、電子供給層125の上にゲート電極128が形成されている。その両側には、コンタクト層126の上に、それぞれソース・ドレイン電極127、127が形成されている。

【0005】図9は、このHEMTの要部の断面深さ方向のバンド構造を表すバンド・ダイアグラム図である。すなわち、同図は、バイアス電圧が印加されていない熱平

衡状態の伝導帯のエネルギー・レベルEcを表す模式図であり、図中の「Ef」は、フェルミ・レベルを表す。図9に示したように、HEMTにおいては、チャネル層123とスペーサ層124との材料が異なることに起因してバンドの不連続が存在する。

【0006】このバンド不連続によって、チャネル層123には、電子に対するポテンシャル井戸Wが形成されている。そして、n型不純物がドーピングされた電子供給層125から放出された電子は、このチャネル層のポテンシャル井戸Wに溜まって2次元電子ガスを形成する。チャネル層123は、不純物がドーピングされていないアンドープ層であるので、このポテンシャル井戸Wに溜まった電子は、イオン化不純物散乱の影響を殆ど受けることなく、極めて高速に移動することができる。このようにして、高純度のチャネル層123に2次元電子ガスを形成することにより、極めて高速の電界効果型トランジスタを構成することができる。

【0007】

【発明が解決しようとする課題】しかし、携帯電話の送信段の増幅素子として用いる場合のような、いわゆるパワー用途においては、出力電力をさらに増加することが要求されている。この要求に応えるためには、HEMTのチャネル層を流れる電流量を増加することが必要とされる。

【0008】ここで、このようなパワー用途HEMTの電流量を増加するためには、チャネル層の電子濃度を上昇させなければならない。チャネル層の電子濃度を上昇させるための方法としては、電子供給層のドーピング濃度を上げる方法、電子供給層の層厚を厚くする方法、チャネル層の層厚を厚くする方法、チャネル層と電子供給層とのヘテロ界面の伝導帯のエネルギー不連続を大きくする方法などを挙げることができる。

【0009】しかし、前述した方法のうちで、電子供給層中のドーピング濃度を上げたり、層厚を厚くする方法を実施すると、いわゆる「パラレル・コンダクション」に起因して、入力波形の歪みが増大するという問題が生ずる。以下、この問題について詳述する。

【0010】一般に、2次元電子ガスを利用したHEMTにおいては、ゲート・バイアスを正に印加したときに、電子供給層の伝導帯のエネルギー・レベルが下がって、電子の存在確率が上昇する。すると、チャネル層だけでなく、電子供給層においても電子が流れるようになる。このように、電子供給層においても電流が流れる現象が「パラレル・コンダクション」と称される。ここで、電子供給層を構成しているAlGaAsは、チャネル層の2次元電子ガスよりも遥かに移動度が低いために、「パラレル・コンダクション」が生ずると、HEMTの相互コンダクタンスは低下する。その結果として、ゲート・バイアスに対して、相互コンダクタンスはピークを有するような関係を示す。

【0011】このように、相互コンダクタンスがピーク特性を有するために、ダイナミック・レンジの大きい入力信号に対しては、相互コンダクタンスのピーク値を超えるようなゲート・バイアスが印加されることがある。この領域では、相互コンダクタンスが低下し、増幅率の線形性が確保されないため、入力波形は、そのまま再現されず、歪んでしまう。

【0012】ここで、HEMTの電流量を増加するために、前述したように、電子供給層中のドーピング濃度を上げたり、層厚を厚くする方法を実施すると、電子供給層において電流が流れやすくなり、「パラレル・コンダクション」に起因する相互コンダクタンスの低下が顕著になりやすい。その結果として、波形の歪みが増大するという問題が生ずることとなる。

【0013】一方、チャネル層の電子濃度を上昇させるための他の方法としては、前述したようにチャネル層の層厚を厚くする方法もある。しかし、チャネル層としてInGaAs層を用いた歪み格子系ヘテロ接合においては、InGaAsとAlGaAs系との格子定数の相違に起因するミスフィット欠陥が生じない上限膜厚である「臨界膜厚」の制限を超えることができない。従って、チャネル層の膜厚を厚くすることは困難である。

【0014】また、チャネル層の電子濃度を増加するために、チャネル層と電子供給層とのヘテロ界面の伝導帯のエネルギー不連続を大きくしようとすると、チャネル層のインジウム組成を増加することが必要とされる。しかし、インジウム組成を増加すると、格子定数の相違が拡大して、前述した「臨界膜厚」はさらに小さくなるために、十分な電流量を確保することが困難になる。

【0015】以上説明したように、従来は、入力波形の歪みを抑制しつつ、チャネル層の電子濃度を増加させて大電流動作を実現することが困難であった。

【0016】本発明は、かかる点に鑑みてなされたものである。すなわち、その目的は、出力波形の歪みを抑制しつつ電流量を増加することができるパワー用高周波HEMTとしての半導体装置を提供することにある。

【0017】

【課題を解決するための手段】すなわち、本発明による半導体装置は、半絶縁性の半導体基板と、前記基板上に堆積されたバッファ層と、前記バッファ層の上に堆積されたチャネル層と、前記チャネル層の上に堆積され、前記チャネル層よりも小さい電子親和力を有する半導体により構成されたスペーサ層と、前記スペーサ層の上に堆積された電子供給層と、前記電子供給層の上に堆積されたn型コンタクト層とを備え、前記電子供給層から供給された電子が前記チャネル層において2次元電子ガスを形成するようにした半導体装置であって、前記電子供給層は、第1の半導体層と、前記第1の半導体層よりも大きい電子親和力を有する第2の半導体層とを周期的に積層してなる超格子からなり、前記第2の半導体層は、n

型のドーパントが選択的にドーピングされていることを特徴とするものとして構成され、パラレル・コンダクションが生じて、相互コンダクタンスの低下が抑制され、大電流動作時の波形の歪みを抑制しつつ、チャネル層の電子濃度を上昇させることができる。

【0018】また、この電子供給層の内の、電子親和力の小さい半導体層に選択的にドーピングして、発生した自由電子を他方の電子親和力が大きく、移動も大きい半導体層に流出させることにより、その層でパラレル・コンダクションが生じて、相互コンダクタンスの低下をさらに効果的に抑制することができる。

【0019】これらの半導体装置は、GaAs基板上に形成し、電子親和力の小さい半導体層としてAlGaAsを用いるとともに、チャネル層にInGaAsを用いた歪み格子系とすることにより、高性能なHEMTを提供することができる。

【0020】また、本発明による半導体は、間に緩衝層を挟んで2層のチャネル層を積層したHEMT構造とすることにより、電流を倍増することができるようになる。

【0021】この緩衝層としては、チャネル層よりも電子親和力が小さいn型半導体を用いることができる。

【0022】または、この緩衝層は、チャネル層よりも電子親和力が小さいn型半導体層と、チャネル層を構成している半導体層とを周期的に積層してなる超格子とすることにより、チャネル層の格子歪みを緩和して、安定して臨界膜厚まで成長することができるようになる。

【0023】このような2層のチャネル層を有する半導体装置についても、GaAs基板上に堆積したInGaAsチャネル層を有する歪み格子系のHEMT構造とすることが望ましく、緩衝層におけるn型半導体としては、GaAs層を用いることが望ましい。

【0024】さらに、このような2層のチャネル層を有する半導体装置についても、電子供給層として、前述した超格子構造を用いることにより、パラレル・コンダクションが生じて相互コンダクタンスの低下を抑制することができるようになる。

【0025】

【発明の実施の形態】本発明によるHEMTは、チャネル層上に設けられる電子供給層を超格子構造とするとともに、そのドーピング層をGaAs層のみに限定するか、あるいは、AlGaAs層に選択ドーピングしてもその上下に積層したGaAs層に電子がすべて流出してAlGaAs層が空乏化するような超格子構造とすることにより、パラレル・コンダクションが生じて、電子の移動が極端に低下しないようにするものである。

【0026】また、緩衝層を介して歪みを有する2層のチャネル層を積層し、その両方に生ずる2次元電子ガスを利用することにより、電流量を倍増することができる。

【0027】以下に図面を参照しながら、本発明の実施の形態について説明する。

【0028】図1は、本発明によるHEMTの断面構造を表す概略図である。本発明によるHEMT10は、例えば、半絶縁性のGaAs基板11上に形成することができる。基板11の主面上には、バッファ層12、チャネル層13、スペーサ層14、電子供給層15、およびコンタクト層18がこの順序に積層されている。

【0029】バッファ層12は、基板11上に良質の結晶を成長させるための緩衝層としての役割を有する。チャネル層13は、電子親和力が大きく、ヘテロ界面近傍においてポテンシャル井戸を形成するとともに、電子の移動度が大きい2次元電子ガスを生じさせる。スペーサ層14は、チャネル層13よりも電子親和力が小さい材料からなり、電子供給層15の不純物がチャネル層13に拡散侵入したりイオン化不純物散乱の影響を与えないようにする役割を有する。電子供給層15は、自由電子を発生させ、チャネル層13のポテンシャル井戸に供給する役割を有する。コンタクト層18は、ソース・ドレイン電極とのオーミック接触を確保する役割を有する。

【0030】本発明においては、電子供給層15が独特な超格子構造を有し、その結果としてパラレル・コンダクションが生じて相互コンダクタンスの低下が少ないという特徴を有する。

【0031】各層の材料と膜厚について具体例を挙げれば以下の通りである。すなわち、バッファ層12としては、膜厚約1.5nmのアンドープGaAs12Aと膜厚約1.5nmのアンドープAlGaAs12Bとを20周期程度積層した超格子構造とすることができる。ここで、AlGaAsのアルミニウムの組成比は、例えば、 $x=0.2\sim0.23$ とすることができる。

【0032】チャネル層13としては、膜厚約10~18nmのアンドープInGaAs層を採用することができる。また、そのインジウム組成比 x は、前述した膜厚の範囲に対応して、 $x=0.22\sim0.15$ の範囲内とすることが望ましい。この理由は、 x が大きい程、バンド不連続が大きくなり、電流量を増加することが可能となる一方で、GaAs層との格子定数のずれも大きくなるので、ミスフィット欠陥が生じない臨界膜厚が小さくなるという問題が生ずるからである。

【0033】スペーサ層14としては、膜厚約3nmのアンドープAlGaAs層を採用することができる。このアルミニウム組成比 x も、概ね $x=0.2\sim0.23$ の範囲とすることが望ましい。AlGaAsの場合には、 x が0.23を超えると、「DXセンタ」と称される深い順位が発生して、電子の移動度が急激に低下するからである。

【0034】電子供給層15としては、膜厚2~3nmのn型GaAs層15Aと、膜厚2~3nmのアンドープAlGaAs層15Bとを5周期程度積層した超格子

構造とすることができる。ここで、n型GaAs層15Aのキャリア濃度は、 $7\times10^{17}\text{cm}^{-3}$ とすることができる。また、AlGaAs層15Bのアルミニウム組成比 x は、前述と同様の理由により、概ね $x=0.2\sim0.23$ の範囲とすることが望ましい。

【0035】コンタクト層18としては、膜厚約50nmのn型GaAs層を採用することができる。また、ソース・ドレイン電極とのオーミック接触を確保するために、コンタクト層18のキャリア濃度は、 $5\times10^{18}\text{cm}^{-3}$ 程度とすることが望ましい。

【0036】以上説明した各層は、いずれも、例えば、分子線エピタキシャル法(Molecular Beam Epitaxy: MBE)あるいは、有機金属化学気相成長法(Metal Organic Chemical Vapour Deposition: MOCVD)などの結晶成長法により、基板11上に堆積することができる。また、n型とするためのドーパントとしては、例えば、シリコンを用いることができる。

【0037】結晶成長工程の後に、コンタクト層18は、その中央付近でリセス・エッチングされ、電子供給層15の上にゲート電極20が形成される。ゲート電極20の材料としては、例えば、チタン、白金、金をこの順序に積層して用いることができる。ここで、チタンはコンタクト金属であり、白金はバリア金属、金は配線あるいはボンディング・パッドとしての役割をそれぞれ有する。

【0038】一方、ゲート電極20の両側には、コンタクト層18の上に、それぞれソース・ドレイン電極19、19が形成される。ソース・ドレイン電極の材料としては、例えば、金ゲルマニウム合金、ニッケル、金をこの順序に積層して用いることができる。ここで、金ゲルマニウム合金はコンタクト金属であり、ニッケルはバリア金属、金は配線あるいはボンディング・パッドとしての役割をそれぞれ有する。

【0039】図2は、本発明によるHEMT10の要部の熱平衡状態におけるバンド・ダイアグラム図である。すなわち、同図は、バイアス電圧が印加されていない状態の伝導帯のエネルギー・レベルを表す模式図であり、図中の「 ϵ_f 」は、フェルミ・レベルを表す。同図に示したように、電子供給層15から放出された電子は、チャネル層13のポテンシャル井戸Wに溜まり2次元電子ガスを構成している。また、余分な自由電子は電子供給層中でポテンシャルが低いn型GaAs層15Aにのみ存在し、アンドープAlGaAs層15Bは空乏化している。このように、電子供給層中において余分な電子が、AlGaAs層15Bよりも移動度が大きいGaAs層15Aに存在するので、ゲート・バイアスを正に振った時に、パラレル・コンダクションが生じて、AlGaAs層の相互コンダクタンスの低下を招かない。

【0040】図3は、本発明によるHEMTの相互コンダクタンスをゲート電圧に対してプロットした特性図で

ある。同図において、ゲート電圧 V_g が正に増加したときにみられる相互コンダクタンス g_m の低下が、パラレル・コンダクションに起因するものである。同図中に併せて示した従来のHEMTと比較して、本発明によるHEMTは、全般的に従来のものよりも相互コンダクタンス g_m が高く、特に、ゲート電圧 V_g を正に振った時の g_m の低下が抑制されている。すなわち、本発明によるHEMTは、大電流が入力しても、 g_m の低下による波形の歪みが小さいことが分かる。これは、前述したように、パラレル・コンダクションが生じて移動度がAlGaAsよりも大きいGaAs層15Aにおいて電流が流れるからである。

【0041】このように、本発明によるHEMTは、パラレル・コンダクションによる g_m の低下を抑制しつつ、電子供給層に高濃度にドーピングすることができる。その結果として、波形歪みを抑制しつつ、大電流を増幅することができるようになる。

【0042】次に、本発明による第2の実施の形態について説明する。本第2実施形態によるHEMT10'の概略構成は前述したHEMT10と類似しているため、図1を参照しつつ以下に説明する。

【0043】本実施形態においては、電子供給層の構成を変形する。すなわち、電子供給層15'を、アンドープGaAs層15A'と、n型AlGaAs層15B'との超格子構造とする。しかも、n型AlGaAs層15B'は、電子をすべて放出して、層中に自由電子が存在しないような層厚に形成する。このようにすると、バンド・ダイアグラムは、図2に示したものと実質的に同一になる。すなわち電子供給層中の余分な自由電子は、アンドープGaAs層15A'に存在する。しかし、本実施形態においては、アンドープGaAs層15A'は、ドーパントとしての不純物を含まないため、イオン化不純物散乱の影響が極めて小さく、電子移動度が前述した実施形態のGaAs層15Aよりもさらに高い。従って、電子供給層でパラレル・コンダクションが生じて、アンドープGaAs層15A'を電流が流れることになるので、移動度の低下をさらに抑制することができる。

【0044】本実施形態における電子供給層15'の具体的な構成例としては、例えば、膜厚2~3nmのアンドープGaAs層15A'と、膜厚2~3nmのn型AlGaAs層15B'とを5周期程度積層した超格子構造を挙げることができる。ここで、n型AlGaAs層15B'のキャリア濃度は、例えば、 $7 \times 10^{17} \text{cm}^{-3}$ とすることができる。また、AlGaAs層15B'のアルミニウム組成比 x は、前述したようなDXセンタの影響を避けるために、概ね $x = 0.2 \sim 0.23$ の範囲とすることが望ましい。

【0045】本実施形態によれば、大電流動作時のパラレル・コンダクションに起因する波形の歪みをさらに効

果的に抑制しつつ、電子供給層を高濃度にドーピングして、許容電流量が増大したパワー用HEMTを提供することができる。

【0046】次に、本発明による第3の実施の形態について説明する。

【0047】図4は、本発明による第3のHEMTの断面構造を表す概略図である。本実施形態によるHEMT30も、半絶縁性のGaAs基板31上にバッファ層32、チャンネル層、スペーサ層36、電子供給層37、およびコンタクト層38がこの順序に積層されている。各層の役割は、前述したものと同一である。しかし、本実施形態においては、チャンネル層部分が、緩衝層34を挟んだ第1のチャンネル層33と第2のチャンネル層35とにより構成されている。本実施形態によれば、緩衝層を設けることによって、InGaAs層の格子歪みが緩和され、2層のInGaAsチャンネル層をそれぞれ、その臨界膜厚近くの膜厚で安定して積層することができる。そして、このように2層のチャンネル層を設けることにより、それぞれに独立して電流を流すことが可能となり、電流量を増加することができる。

【0048】HEMT30の各層の材料と膜厚について具体例を挙げれば以下の通りである。すなわち、バッファ層32としては、膜厚約1.5nmのアンドープGaAs層32Aと膜厚約1.5nmのアンドープAlGaAs層32Bとを20周期程度積層した超格子構造とすることができる。ここで、AlGaAs層32Bのアルミニウムの組成比は、例えば、 $x = 0.2 \sim 0.23$ とすることができる。

【0049】第1のチャンネル層33および第2のチャンネル層35としては、膜厚約10~18nmのアンドープInGaAs層を採用することができる。また、そのインジウム組成比 x は、前述した膜厚の範囲に対応して、 $x = 0.22 \sim 0.15$ の範囲内とすることが望ましい。この理由は、前述したように、臨界膜厚とバンド不連続とのバランスによる。

【0050】緩衝層34としては、例えば、膜厚約5nmのn型のGaAs層を採用することができる。また、そのキャリア濃度は、例えば $1 \sim 2 \times 10^{17} \text{cm}^{-3}$ とすることができる。

【0051】スペーサ層36としては、膜厚約3nmのアンドープAlGaAs層を採用することができる。このアルミニウム組成比 x も、概ね $x = 0.2 \sim 0.23$ の範囲とすることが望ましい。AlGaAsの場合には、 x が0.23を超えると、「DXセンタ」と称される深い準位が発生して、特に低温での電子の移動度が急激に低下するからである。

【0052】電子供給層37としては、例えば、膜厚20nmのn型AlGaAs層を採用することができる。ここで、そのキャリア濃度は、 $2 \times 10^{18} \text{cm}^{-3}$ とすることができる。また、アルミニウム組成比 x は、前述と

同様の理由により、概ね $x = 0.2 \sim 0.23$ の範囲とすることが望ましい。

【0053】コンタクト層38としては、膜厚約50nmのn型GaAs層を採用することができる。また、ソース・ドレイン電極とのオーミック接触を確保するために、コンタクト層38のキャリア濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度とすることが望ましい。

【0054】また、図1に示したHEMT10と同様に、結晶成長工程の後に、コンタクト層38はリセス・エッチングされ、ゲート電極40が形成され、その両側には、それぞれソース・ドレイン電極39、39が形成される。これらの電極の材料は、前述したものと同様とすることができる。

【0055】図5は、本発明によるHEMT30の熱平衡状態のバンド構造を表すバンド・ダイアグラム図である。すなわち、同図は、バイアス電圧が印加されていない状態の伝導帯のエネルギー・レベルEcを表す模式図である。図5に示したように、本実施形態によるHEMT30においては、第1のチャンネル層33と第2のチャンネル層35に、それぞれポテンシャル井戸W1、W2が形成されている。第1のチャンネル層33のポテンシャル井戸W1は、バッファ層32との間のバンド不連続に起因している。第2のチャンネル層35のポテンシャル井戸W2は、スペーサ層36との間のバンド不連続に起因している。

【0056】第1のチャンネル層のポテンシャル井戸W1には、緩衝層34から放出された電子が溜まり、2次元電子ガスを形成している。また、第2のチャンネル層のポテンシャル井戸W2には、緩衝層34および電子供給層37から放出された電子が溜まり、2次元電子ガスを形成している。ここで緩衝層34から供給される電子の割合は、各層のキャリア濃度や膜厚のバランスに依存して変化する。

【0057】本実施形態によれば、第1および第2のチャンネル層においてそれぞれ2次元電子ガスが形成され、電流として寄与することができる。従って、ゲート・バイアスを大きく正に振ることなく、大電流を取り出すことができるようになり、パラレル・コンダクションに起因する波形の歪みを抑制することもできる。

【0058】次に、本発明による第4の実施の形態について説明する。図6は、本発明による第4のHEMTの断面構造を表す概略図である。また、図7は、このHEMTの熱平衡状態の伝導帯バンド構造を表すバンド・ダイアグラム図である。

【0059】これらの図に示したように、本実施形態によるHEMT50も、半絶縁性のGaAs基板51上にバッファ層52、チャンネル層、スペーサ層56、電子供給層57、およびコンタクト層58がこの順序に積層されている。

【0060】さらに、本実施形態においては、第3実施

形態と同様に、チャンネル層部分が緩衝層54を挟んだ2層のチャンネル層53および55により構成されている。従って、前述したように、大電流を容易に流すことができる。しかし、本実施形態においては、緩衝層54として超格子構造を採用している。このように超格子構造を採用することによって、チャンネル層53および55のそれぞれの歪みを十分に緩和することが可能となり、それぞれのチャンネル層を臨界膜厚に近い膜厚で安定して成長することができる。

【0061】さらに、本実施形態によれば、第2実施形態と同様に、電子供給層57を、選択ドーピングを施した超格子構造としている。従って、前述したように、パラレル・コンダクションが生じて、相互コンダクタンスの低下が抑制され、大電流動作の際にも波形の歪みの小さいHEMTを実現することができる。

【0062】本実施形態によるHEMT30の具体的な構成について例示すれば、以下の如くである。すなわち、半絶縁性のGaAs基板51上の主面上には、バッファ層52、第1のチャンネル層53、緩衝層54、第2のチャンネル層55、スペーサ層56、電子供給層57、およびコンタクト層58がこの順序に積層されている。

【0063】各層の材料と膜厚については、前述した各実施形態と概略同様とすることができる。但し、緩衝層54は、例えば、膜厚約2~3nmのアンドープInGaAs層54Aと膜厚約2~3nmのn型GaAs層54Bとを3周期程度積層した超格子構造とすることができる。このような超格子構造を採用することにより、第1のバッファ層53と第2のバッファ層55との間での格子歪みを十分に緩和して、それぞれのバッファ層をその臨界膜厚までの厚さで安定して形成することができるようになる。

【0064】また、電子供給層57としては、例えば、膜厚2~3nmのアンドープGaAs層57Aと、膜厚2~3nmのn型AlGaAs層57Bとを5周期程度積層した超格子構造を採用することができる。ここで、n型AlGaAs層57Bのキャリア濃度は、例えば、 $7 \times 10^{17} \text{ cm}^{-3}$ とすることができる。また、のそのアルミニウム組成比xは、前述したようなDXセンタの影響を避けるために、概ね $x = 0.2 \sim 0.23$ の範囲とすることが望ましい。このように選択ドーピングした超格子構造を電子供給層として採用することにより、大電流動作時のパラレル・コンダクションに起因する波形の歪みをさらに効果的に抑制しつつ、電子供給層を高濃度にドーピングして、許容電流量が増大したパワー用HEMTを提供することができる。

【0065】また、この第4の実施形態において、バッファ層52と、チャンネル層53との間にも、選択ドーピングされた超格子構造を有する電子供給層を設けても良い。この電子供給層は、例えば、その上に形成される電子供給層57と同一の構成とすることができる。このよ

うに、第1のチャネル層53に対応した電子供給層を別途設けることにより、第1のチャネル層53に対応するパラレル・コンダクションが生じても、移動度の低下を抑制することができる。

【0066】以上、本発明の実施の形態について具体例を参照しつつ説明したが、本発明はこれに限定されるものではない。その他の例としては、例えば、前述した各実施形態における半導体層の積層順序は、部分的に反転しても良い。すなわち、バッファ層の上にまず、電子供給層を配置し、その上に、スペーサ層、チャネル層、コンタクト層という順序で各層を積層しても良い。

【0067】さらに、HEMTを構成する各層の膜厚やキャリア濃度は、必要とされる素子特性の仕様値や結晶成長あるいはプロセス・パラメータに応じて、適宜最適化することができる。

【0068】また、本発明においては、前述した混晶半導体系は一例に過ぎない。その他にも、チャネル層の電子親和力が、スペーサ層や電子供給層の電子親和力よりも大きいような組み合わせであれば、本発明は、同様に適用することができる。

【0069】例えば、InGaAs層におけるインジウム組成比 x をさらに上昇させ、また、GaAs層の代わりにInGaAs層、AlGaAs層の代わりにInAlAs層をそれぞれ用いることができる。この場合には、GaAs基板の代わりに、これらの混晶系に対して格子定数が合致するインジウム燐（InP）基板を用いることが望ましい。

【0070】また、電子供給層に用いる層としては、この他にInGaPも用いることができる。

【0071】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に説明する効果を奏する。まず、本発明によれば、電子供給層を超格子構造とし、移動度の高いGaAs層中にドーピングすることにより、電子供給層においてパラレル・コンダクションが生じても、移動度の低下が従来よりも抑制される。その結果として、ゲート・バイアスを正に振った時にも、相互コンダクタンスの低下が少なくなり、大電流動作時においても波形の歪みが小さくなる。従って、信号波形の歪みを抑制しつつ、チャネル層中の電子濃度を高くして、大電流を取り出すことができるようになる。

【0072】また、本発明によれば、電子供給層を超格子構造とし、そのAlGaAs層に選択的にドーピングすることにより、電子供給層においてパラレル・コンダクションが生じても、不純物を含まないGaAs層において高い移動度で電流が流れる。従って、相互コンダクタンスの低下をさらに抑制することができるようにな

り、信号波形の歪みをさらに効果的に抑制しつつ、チャネル層の電子濃度を高くして、大電流を取り出すことができるようになる。

【0073】さらに、本発明によれば、チャネル層を2層構造とし、その間に緩衝層を配置することにより、電流量を倍増させて、信号波形を歪ませずに大電流動作を可能とすることができる。

【0074】また、本発明によれば、このチャネル層の間の緩衝層として、超格子構造を採用することにより、格子歪みを効果的に緩和して、それぞれのチャネル層を臨界膜厚の厚さまで安定して成長することができるようになる。

【0075】以上説明したように、本発明によれば、低歪みで大電流動作が可能な、高周波増幅用の半導体素子としてのHEMTを提供することができるようになり、産業上のメリットは多大である。

【図面の簡単な説明】

【図1】本発明によるHEMTの断面構造を表す概略図である。

【図2】本発明によるHEMT10の熱平衡状態のバンド構造を表すバンド・ダイアラム図である。

【図3】本発明によるHEMTの相互コンダクタンスをゲート・バイアスに対してプロットした特性図である。

【図4】本発明による第3のHEMTの断面構造を表す概略図である。

【図5】本発明によるHEMT30の熱平衡状態のバンド構造を表すバンド・ダイアラム図である。

【図6】本発明による第4のHEMTの断面構造を表す概略図である。

【図7】HEMT50の熱平衡状態の伝導帯バンド構造を表すバンド・ダイアラム図である。

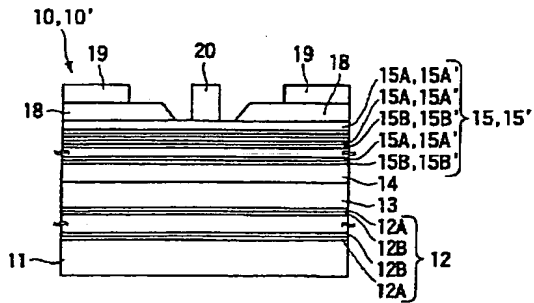
【図8】従来のHEMTの断面構造を表す概略図である。

【図9】従来のHEMTの断面深さ方向のバンド構造を表すバンド・ダイアラム図である。

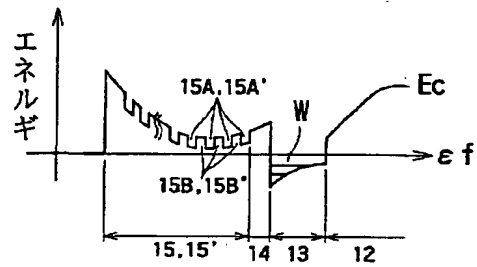
【符号の説明】

- 10、10'、30、50、100 HEMT
- 11、31、51、121 基板
- 12、32、52、122 バッファ層
- 13、33、35、53、55、123 チャネル層
- 14、36、56、124 スペーサ層
- 15、37、57、125 電子供給層
- 18、38、126 コンタクト層
- 19、39、127 ソース・ドレイン電極
- 20、40、128 ゲート電極
- 34、54 緩衝層

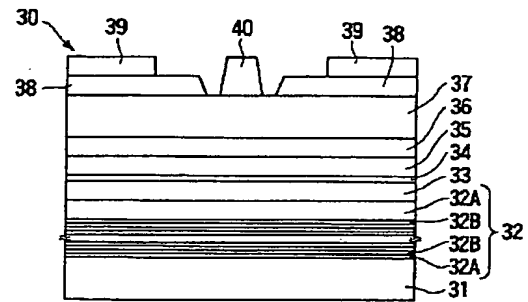
【図 1】



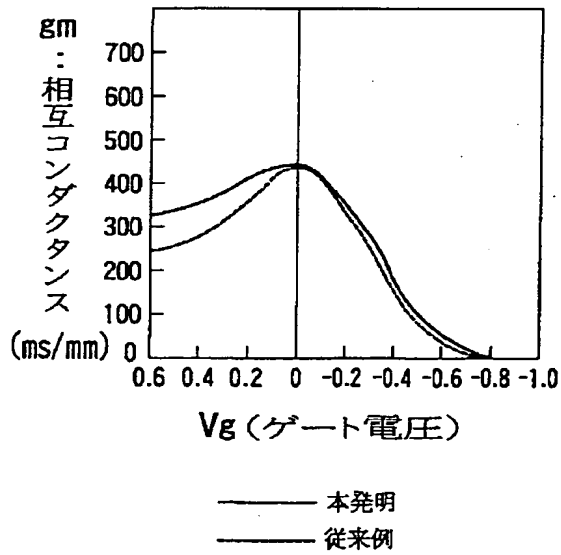
【図 2】



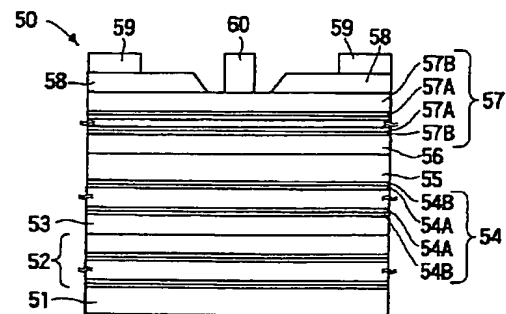
【図 4】



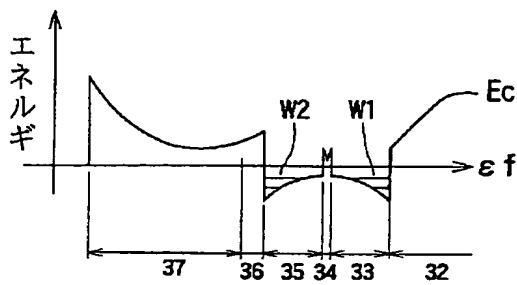
【図 3】



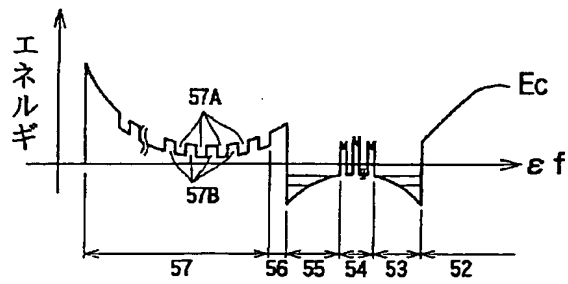
【図 6】



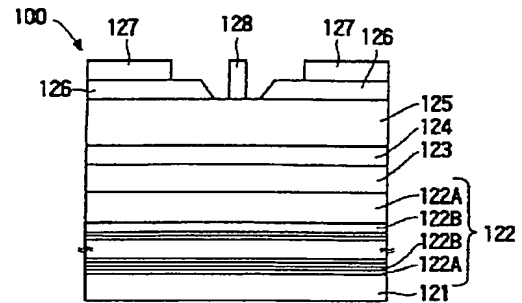
【図 5】



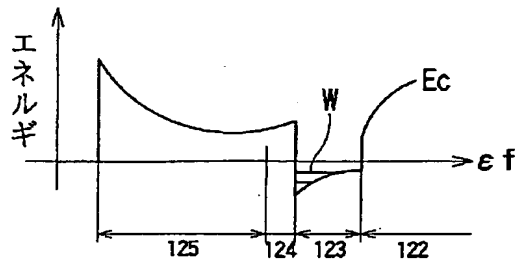
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 上 野 豊

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝多摩川工場内